·实验技术·

基于 2FSK 国产 ZPW-2000A 铁路移频信号产生设计

李建国，王小农，贺云鹏

（兰州交通大学 自动化与电气工程学院，兰州 730070）

摘要：国产 ZPW-2000A 型无绝缘轨道电路解决了调谐区断轨检查，减少调谐区分路死区等缺点被广泛使用于当代铁路运输。该文利用 FPGA 设计数字电路灵活性高、逻辑功能强等特点，介绍国产 ZPW-2000A 型移频信号产生机理，阐述直接数字频率合成 DDS 函数信号发生器的设计流程以及产生波形的原理，基于 FPGA 设计 DDS 模块，实现国产 ZPW-2000A 移频信号发生器的功能。设计结果证明，FPGA 实现设计国产 ZPW-2000A 移频信号发生器具有系统性能稳定、频率可调、可靠性高、相位连续等特点，为铁路运输提供理论和实际应用。

关　键　词：FPGA；移频信号发生器；DDS 技术；ZPW-2000A

中图分类号：U491.7　　**文献标志码：**A　　DOI: 10.12179/1672-4550.20180406

Design of China-made ZPW-2000A Railway Frequency Shift Signal Generator Based on 2FSK

LI Jianguo, WANG Xiaonong, HE Yunpeng

（School of Automation and Electrical Engineering, Lanzhou Jiaotong University, Lanzhou 730070, China）

Abstract: The ZPW-2000A type non-insulated track circuit made in China solves the shortcomings of checking the broken track in the tuning area, and reduces the shortcomings of the dead zone in the tuning area. It is widely used in contemporary railway transportation. Using field programmable gate array (FPGA) to design digital circuits with high flexibility and strong logic functions, this paper introduces the Chinese-made ZPW-2000A frequency-shift signal generation mechanism, and explains the design flow of direct digital frequency synthesis direct digital frequency synthesis (DDS) function signal generators and the principle of generating waveforms. The DDS module is designed based on FPGA to realize the function of Chinese-made ZPW-2000A frequency shift signal generator. The design results prove that the Chinese-made ZPW-2000A frequency-shift signal generator based on FPGA design has the characteristics of stable system performance, adjustable frequency, high reliability, and continuous phase, which can provide theoretical and practical applications for railway transportation.

Key words: FPGA; frequency shift signal generator; DDS technology; ZPW-2000A

随着铁路信号技术的发展和应用，铁路信号逐渐成为提高铁路区间和车站通过能力的重要手段，实现了铁路运输经济效益的最大化。与此同时，列车的安全性问题也凸显出来，铁路信号的准确性、正确性与实时性已经成为当代铁路运输中的重要要求之一，因此列车运行的安全问题归结为铁路信号的可靠性问题。国产 ZPW-2000A 型无绝缘轨道电路，是在 UM71 型轨道电路技术引进及国产化的基础上，结合国情进行系统安全性、系统传输性及系统可靠性技术的再开发，上行线采用中心载频选择 2 000 Hz 和 2 600 Hz，下行线采用中心载频选择 1 700 Hz 和 2 300 Hz，频偏 11 Hz[1]。相比传统的信号源，直接数字频率合成 DDS 具有超高速频率转换，在频率改变与调频

收稿日期：2018−09−03；**修回日期：**2018−11−08

基金项目：2017 年兰州交通大学校级教改重点项目（JGZ201719）；2016 年甘肃省大学生创新创业训练计划项目（201610732044）。

作者简介：李建国（1974−），男，博士，副教授，主要从事交通信息工程和智能交通的研究工作。

时能够保持相位的连续，易实现频率、相位和幅度的调制[2] 等优点。FPGA(现场可编程门阵列)广泛应用于电子的各个设计领域，是一种可编程使用的信号处理器件，可以通过改变配置信息对其功能进行定义，以满足设计要求[3]。

本文利用 FPGA 集成度高、逻辑功能强和灵活性突出等特点，以 FPGA 作为直接数字频率合成 DDS 的硬件开发平台。首先，介绍了直接数字频率合成 DDS 产生波形的原理；其次，借助 FPGA 相位累加器模块、波形存储器 ROM 模块和锁相环倍频电路模块的设计，实现基于 FPGA 的直接数字频率合成 DDS 功能；最后，证明采用基于 FPGA 的国产 ZPW-2000A 移频信号发生器的设计与实现，系统具有性能稳定、频率可调、可靠性高、相位连续等特点，为实际的铁路运输提供理论和实际应用。

1　ZPW-2000A 型移频信号产生机理

移频自动闭塞是利用频率参数作为信息的闭塞方式，即将低频信息搬移到高频段，根据信号调制的原理与方法，搬移过程中形成振幅不变、频率则由高频的上下边频交替变化的信号波形[4−5]。将以上调制好的波形通过两条钢轨作为传输信号的载体与通道，到达向列控车载设备提供速度等信息进而指挥列车运行以及控制地面信号的目的。轨道电路分为有绝缘轨道电路和无绝缘轨道电路两种，其中，ZPW-2000A 型无绝缘轨道电路在当代移频自动闭塞铁路运输中发挥着不可替代的作用。

ZPW-2000A 的低频频率为 10.3+n×1.1 Hz，n=1, 2, ⋯, 17，即低频信号从 10.3 Hz 开始，按 1.1 Hz 的步长进行逐级的递增至 29 Hz，共 18 种低频信息，每一种频率代表一种信息，信息量越大，向列控车载设备提供信息越多，列车运行中控制过程越精确，获取的地面及前方列车的运动越清晰，保证了列车运行中的安全性以及可靠性。根据上述介绍，ZPW-2000A 无绝缘轨道电路选用 4 种高频载波信号，即 1 700 Hz、2 000 Hz、2 300 Hz 和 2 600 Hz，其中下行线采用 1 700 Hz 和 2 300 Hz 的-1 和-2 交替配置，同理上行线采用 2 000 Hz 和 2 600 Hz 的-1 和-2 交替配置，频偏均为 11 Hz。

键控法[6] 由数字电路实现，具有调制变换速率快和高的可靠性特点。数字信息有二进制和多进制之分，二进制信号参量只可能有两种取值，其抗干扰性能力显著而广泛使用。二进制移频键控调制(2FSK)，当调制信号输入正脉冲时，载频信号的频率为$f_0+\Delta f$，当调制信号输入负脉冲时，载频信号的频率为$f_0-\Delta f$，其中f_0为中心频率，Δf为频移，其交替变换的速率即是调制信号的频率，也就是低频信息。假设调制后的波形每个周期由 1 024 个点构成，若要使得调制后的信号被解调后能够得到相应的低频信息，则根据采样定理要求，采样的工作频率f至少为模拟信号频谱最高频率f_2的 2 倍，其中，$T_\mathrm{l}=1/(f_\mathrm{l}\times 1\,024)$，$T_\mathrm{h}=1/(f_\mathrm{h}\times 1\,024)$，$f_2=1/(T_\mathrm{l}-T_\mathrm{h})$。不同载频下要求 FPGA 的工作频率如表 1 所示。

表 1　不同载频下采样工作频率

载频/Hz	f_l/Hz	f_h/Hz	T_l/ns	T_h/ns	f_2/MHz	f/MHz
1700-2	1 687.7	1 709.7	578.635	571.189	134.3	270
1700-1	1 690.4	1 712.4	577.7	570.3	135	270
2000-2	1 987.7	2 009.7	491.302	485.923	185.9	372
2000-1	1 990.4	2 012.4	490.636	485.272	186.4	373
2300-2	2 287.7	2 309.7	426.875	422.809	245.9	492
2300-1	2 290.4	2 312.4	426.372	422.315	246.4	493
2600-2	2 587.7	2 609.7	377.386	374.204	314	628
2600-1	2 590.4	2 612.4	376.992	373.817	315	630

2　DDS 产生波形的原理

本文采用正弦波对 ZPW-2000A 移频信号进行调制，以正弦波为例来说明 DDS 技术产生波形的原理。根据调制后的信号波形具有幅度呈非线性，相位线性呈增加的特点，相位对时间的导数为角频率 ω，当 ω 为定值时，信号波形的相位与时间呈线性关系，即$\Delta\theta=\omega\Delta t$，利用采样定理进行采样，最后通过查表法产生信号波形。DDS 技术产生信号波形的原理图如图 1 所示，其中 CP_i 为

系统基准时钟源，其周期为 T_i，在 CP_i 的作用下，地址计数器开始计数，周期性的读出正弦波存储器中的幅度值，经 D/A 数模转换器及低通滤波器形成最终的波形。正弦波的表达式：$v(t)=A\sin(\omega t+\theta_0)$，其中 A 为振幅，ω 为角频率，θ_0 为初始相位。因为振幅的幅值大小和初始相位不随时间的变化而变化，所以假定 A=1、θ_0=0，可以得到$v(t)=\sin(\omega t)$。根据相位与时间的线性关系，将该正弦信号一个周期内的相位(0~2π)变化用单位圆表示，其相位与幅度一一对应，如图 2 所示，即单位圆上的每一个点都对应一个幅度值。以等相位的间隔进行对其幅度抽样会得到一个周期性的正弦信号的离散的幅度序列，然后对其进行量化，量化后的幅值采用二进制编码，再通过固化将二进制编码固化于 ROM 中，这样就形成了正弦波形存储器，也就是所谓的查找表。

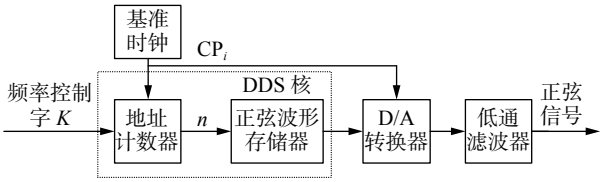

图 1　DDS 技术产生波形的原理框

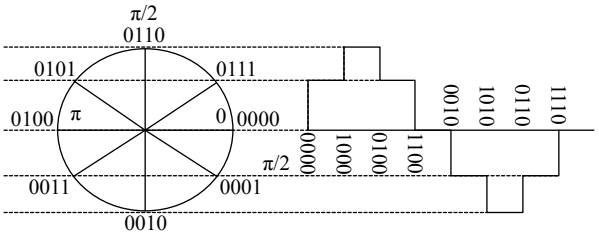

图 2　正弦信号与幅度的对应关系

假设上述正弦波形存储器即查找表已经构建，采用 2^n 个存储单元存储一个周期内的正弦信号幅值，基准时钟周期为 T_i，输出信号的周期为 T_{out}，那么输出信号的周期与基准时钟周期存在以下关系：

$$\begin{cases} T_{out}=2^nT_i \\ f_{out}=f_i/2^n \end{cases} \tag{1}$$

由式(1)知：在同一个时钟频率下，通过查表，输出波形数据，通过改变相位的步进可以改变输出波形的频率。

综上所述，利用 DDS 技术产生正弦波形的过程为：

1)对所需要产生的波形进行采样和量化，采用固化手段将数据存储于 ROM，形成所需要的查找表；

2)当需要波形时，从查找表中进行读取数据，通过 D/A 转换器和低通滤波器后产生预期波形。

3　基于 FPGA 的国产 ZPW-2000A 移频信号发生器设计实现

3.1　基于 FPGA 的 DDS 技术的实现

在 FPGA[7−10] 中，常用如图 3 所示框图实现直接数字频率合成 DDS 技术，m 为数据加法器的宽度，其大小取决于基准时钟频率和所需步进精度。ROM addr 为 n 位存储器地址，n 取决于波形的样本个数。相位累加器由加法器和地址寄存器构成，加法器的一个输入端与地址寄存器输出相连，另一端输入相位增量 K。相位增量 K 是一个二进制数据，K+B(B 的初值为 0)就是相位累加器的输出 Addr，相位控制字 P 用来调节多路信号的相位差，因为 ZPW-2000A 移频信号只有一路信号合成，相位控制字对一路信号没有任何意义。数据存储器 ROM addr 截取的是 PAddr 的高 n 位，其变化速度取决于 K 的大小，从而实现跳跃读数。DDS 技术在 FPGA 中的实现使用 Verilog 硬件语言编程，根据图 3 可知，使用 Verilog 语言实现以下 3 个模块的功能：

1)相位累加器模块；

2)数据存储器即波形存储器 ROM 模块；

3)锁相环倍频模块。

3.2　ZPW-2000A 移频信号发生器实现过程

本节以低频 f_c=12.5 Hz(T_c=80 ms)为例对载频 f_0 为 1700-1 进行 2FSK 调制，根据参考文献 [6] 确立

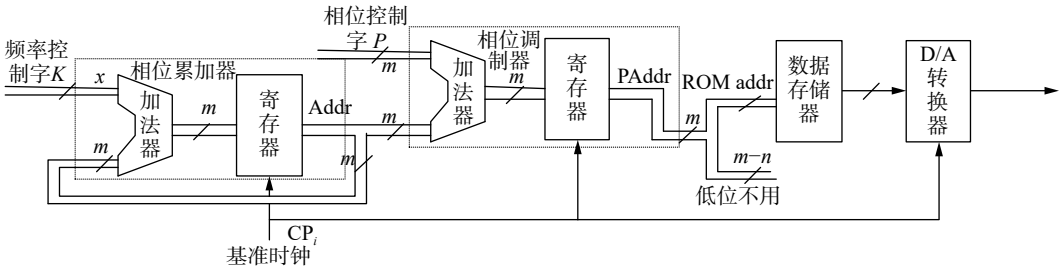

图 3　基于 FPGA 的 DDS 技术实现框图

的公式，我们对载频 f_0 进行 2FSK 调制计算，f_0 为 2FSK 信号的中心频率，$S(t)$是 2FSK 信号的基本表达式，有：

$$S(t) = A_s \cos[\omega_0 t + g(t)] \tag{2}$$

式中，A_s 为 2FSK 信号的时域幅度。

相位变化量为：

$$g(t) = \begin{cases} \int K_t f_c(t)\mathrm{d}t = K_t \int f_c(t)\mathrm{d}t = \Delta\omega t \\ \qquad -\dfrac{T}{4} < t < \dfrac{T}{4} \\ \int K_t f_c(t)\mathrm{d}t = K_t \int f_c(t)\mathrm{d}t = \Delta\omega\left(\dfrac{T}{2} - t\right) \\ \qquad \dfrac{T}{4} < t < \dfrac{3T}{4} \end{cases} \tag{3}$$

式中，$f_c(t)$为低频调制信号，K_t 为最大载频偏移量，经 2FSK 调制后的波形如图 4 所示。

1）相位累加器模块实现

由图 3 知：在基准时钟的驱动下，通过相位累加器将频率控制字转化为具体的地址并输出，相位控制字 P 用来调节多路信号的相位差，因此不需对相位调制器进行设计，输出地址直接到数据存储器进行地址搜寻。相位累加器模块实现代码如下：

```
module addr_cnt(cpi,k,ROMaddr,Address);
input cpi;//系统的基准时钟 50 MHz
input [12:0] k;//13 为的频率控制字
output reg [7:0] ROMaddr;//10 为 ROM 地址
output reg [7:0] Address;//相位累加器地址
always @(posedge cpi)
begin
    Address=Address+k;
    ROMaddr=Address[16:7];
  end
endmodule
```

2）数据存储器即波形存储器 ROM 模块实现

调用 FPGA 中内部的 LPM_ROM 模块制作存储 f_l(Hz)和 f_h(Hz)的 ROM 查找表，由地址计数器访问该查找表，对如图 4 所示的 2FSK 调制信号进行采样。通过采样，将调制信号由时间连续的信号变为一组离散序列值的集合。首先形成存储器初始化文件，使用时将初始化文件放在当前工程项目子目录中，由 Quartus II 软件在编译时自动调入，合并在配置文件中对存储器进行初始化。当数据量变大时，手动输入工作量较大，可以选择用工具软件生成初始化文件。

设置完成后，调用宏模块 LPM_ROM 定制正弦波存储器，设置 ROM 的存储容量(1 024)和位宽(10)，选择自动和单时钟模式，完成后将会生成实例化文件，将它链接到模块中，实时采集数据，当相位累加器计满溢出后，溢出频率即为输出信号频率。建立完 ROM IP 核后，软件自动生成实例化文件。

3）锁相环倍频模块实现

锁相环[11−12]是一个闭环系统，锁相环的意义在于实现相位同步的自动控制。由表 1 知：对载频 f_0 为 1700-1 进行 2FSK 调制时，其工作频率为 270 MHz。系统的基准时钟 50 MHz，显然不能满足要求。使用 Quartus Ⅱ 软件调用宏模块定制一个 500 MHz 的锁相环模块，其中 inclk0 为 50 MHz

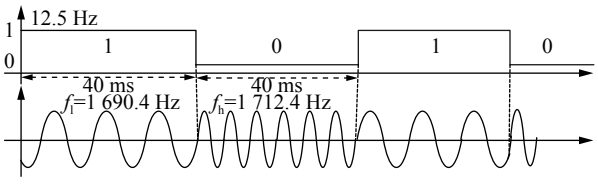

图 4　2FSK 调制信号

的时钟信号，输出 c_0 为 500 MHz 的脉冲信号，占空比为 50%，c_1 为相位锁定指示输出端。

3.3　设计结论

由于顶层文件中没有设定初始值，在自动生成的 TestBench 激励件模板中，添加调用模块和激励信号。进行全编译后开始 RTL Simulation，仿真结果如图 5 所示。由仿真结果知，上边频移频信号周期为 584 032 ns，下边频移频信号周期为 591 592 ns；从理论计算可知，上边频移频信号周期为 583 975 ns，下边频移频信号周期为 591 576 ns，硬件模块搭建和示波器演示波形如图 6 所示。考虑到 Quartus II 软件中 ROM IP 核存储容量最大为 216 以及仿真软件和示波器精度等因素会直接影响波形的精度，可以看出已完成设计任务。

图 5　RTL 仿真结果

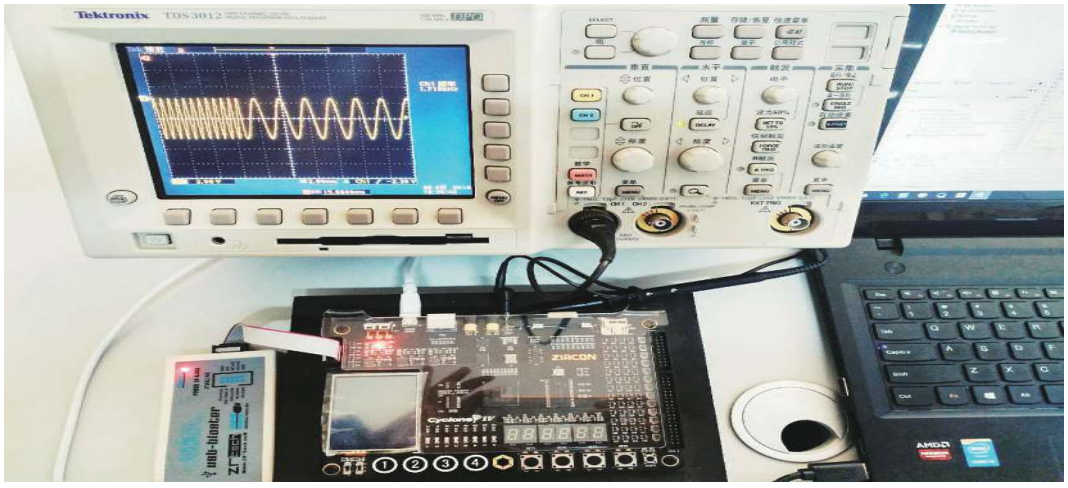

图 6　硬件模块搭建和示波器演示图

4　结束语

我国铁路 ZPW-2000A 型轨道电路频率调制信号采用的是 2FSK，该信号包括调制和解调两个步骤，实现了铁路信号的稳定传输，确保铁路信息化工作的正常开展。本文首先介绍了 ZPW-2000A 型移频信号的产生，并通过计算给出不同载频信号下的采样频率，提出采用直接频率合成 DDS 技术实现最后预期波形的形成。采用 FPGA 作为 DDS 技术实现的平台，以低频信息 12.5 Hz，载频 1700-1 为例介绍了实现 DDS 技术的过程，为铁路运输提供了理论和实践应用。

今后的研究中，系统控制可由单片机进行控制，实现单片机与 FPGA 的结合，这样会使得系

统控制具有操作简单、频率可调等特点，实现 18 种低频信息不同载频的信号传输。基于 FPGA 的 ZPW-2000A 型移频信号发生器对以后 FM 信号发生器的实现也具有实践指导意义，对铁路信号的发展具有进一步的影响。

参 考 文 献

[1] 赵怀东. ZPW-2000A型自动闭塞设备安装与维护[M]. 北京: 中国铁道出版社, 2005.

[2] 孙素平. 基于DDS技术信号发生器的研究与设计[D]. 哈尔滨: 哈尔滨工业大学, 2010.

[3] 杨海钢, 孙嘉斌, 王慰. FPGA器件设计技术发展综述[J]. 电子与信息学报, 2010(3): 714−727.

[4] 董昱. 区间信号与列车运行控制系统[M]. 北京: 中国铁道出版社, 2008.

[5] 刘小钰, 张国瑞. ZPW-2000A无绝缘移频自动闭塞系统原理[J]. 黑龙江科技信息, 2016(28): 45.

[6] 郜洪民, 贾学祥, 赵海东. 铁路专用2FSK调制信号生成方法的研究[J]. 中国铁道科学, 2002(4): 103−107.

[7] 罗杰, 刘文超, 王贞炎, 等. Verilog HDL与FPGA数字系统设计[M]. 北京: 机械工业出版社, 2015.

[8] 韩旭, 郑磊. 基于FPGA的任意波形发生器的设计与实现[J]. 电子测量技术, 2013(32): 62−66.

[9] 卫建华, 刘琪, 齐攀, 等. 基于FPGA的可配置时序信号发生系统设计[J]. 国外电子测量技术, 2017(36): 107−109.

[10] 赵巨波, 袁航, 宋杰, 等. 基于FPGA的双路低频信号发生及分析仪[J]. 电子测量技术, 2013(36): 72−76.

[11] 刘文莉, 林建英. 用单片机与FPGA实现的DDS波形发生器[J]. 国外电子测量技术, 2007(26): 26−29.

[12] 张成. 基于FPGA的全数字锁相环的设计与应用[D]. 合肥: 合肥工业大学, 2010.

编辑　钟晓

（上接第 5 页）

[3] 罗斌, 郭正兴, 张世平, 等. 建筑织物膜材的单轴和双轴拉伸材性试验研究[J]. 建筑结构, 2002, 37(7): 104−106.

[4] 王习术, 李春. 材料各向异性力学行为试验研究方法探讨[J]. 试验技术与试验机, 2006(4): 1−6.

[5] 蔡登安, 周光明, 王新峰, 等. 双向玻纤织物复合材料双轴拉伸载荷下的力学行为[J]. 材料工程, 2014(5): 73−77.

[6] 王颖旺, 方岱宁. 功能材料双轴拉伸十字板试件的优化设计[J]. 力学学报, 2002, 34(5): 705−714.

[7] 韩非, 万敏, 吴向东, 等. 基于极限应力的十字形双向拉伸试件设计[J]. 北京航空航天大学学报, 2007, 33(5): 600−604.

[8] 吴向东, 万敏, 周贤宾. 十字形双向拉伸试验有限元模拟分析[J]. 塑性工程学报, 2001, 8(2): 57−59.

[9] 陆晓华. 双轴纤维增强复合材料强度准则与双向拉伸试验[D]. 南京: 南京航空航天大学, 2007.

[10] 任家陶, 李冈陵, 豆志武, 等. 双向拉伸实验的进展与钛板双向拉伸的强化研究[J]. 实验力学, 2001, 16(2): 196−206.

[11] 任家陶, 陈积光. 双向拉伸试验研究[J]. 湘潭大学自然科学学报, 1998, 20(2): 92−96.

[12] YOHSUKE B, URAYAMA K, TAKIGAWA T, etc. Biaxial strain testing of extremely soft polymer gels[J]. Soft Matter, 2011, 7(6): 2632−2638.

[13] HANNON A, TIERNAN P. A review of planar biaxial tensile test systems for sheet metal[J]. Journal of Materials Processing Technology, 2008, 198(1-3): 1−13.

[14] 陈守辉. 机织建筑膜材料拉伸性能研究——从单轴, 双轴到多轴[D]. 上海: 东华大学, 2008.

[15] GAO X, SHI Z, LIU C, etc. Inelastic behaviour of bacterial cellulose hydrogel: In aqua cyclic tests[J]. Polymer Testing, 2015(44): 82−92.

[16] 鲁帅. 双轴拉伸原位力学测试装置的设计分析与试验研究[D]. 长春: 吉林大学, 2015.

[17] SHI Z, ZHANG Y, PHILLIPS G O, et al. Utilization of bacterial cellulose in food[J]. Food Hydrocolloids, 2014(35): 539−545.

编辑　钟晓