



基于 FPGA 的信号发生器设计与实现

程春雨¹, 谭 锦¹, 贺 鑫², 吴振宇^{3*}, 谢艾林⁴

(1. 大连理工大学 控制科学与工程学院, 大连 116024; 2. 清华大学 网络科学与网络空间研究院, 北京 100084;
3. 大连理工大学 创新创业学院, 大连 116024; 4. 东北大学 信息科学与工程学院, 沈阳 110819)

摘要: 直接数字频率合成技术(DDS)具有频率分辨率高、转换速度快、相位连续等优点, 在无线通信、卫星导航、电子侦察等领域被广泛应用。该研究利用 DDS 技术和开发工具 ModelSim SE 和 Quartus II 13.0, 并结合硬件描述语言 Verilog HDL, 完成了信号发生器的设计、仿真及在线逻辑调试与分析。系统可实现: (1) 输出正弦波、三角波和方波; (2) 可通过按键调节信号的频率、幅度和占空比; (3) 输出信号可用示波器观测。经仿真和实测试验, 输出频率范围为 1 Hz~1 MHz, 输出峰峰值幅度在 0~6.4 V 范围内连续可调, 占空比 0%~100% 连续可调。系统的实现为学生学习现场可编程逻辑门阵列(FPGA)课程提供了一个可供参考的教学案例。

关键词: 现场可编程逻辑门阵列(FPGA); 信号发生器; Verilog 硬件描述语言(Verilog HDL); 实验教学案例
中图分类号: G642 文献标志码: A DOI: 10.12179/1672-4550.20240553

Design and Implementation of a Signal Generator Based on FPGA

CHENG Chunyu¹, TAN Jin¹, HE Xin², WU Zhenyu^{3*}, XIE Ailin⁴

(1. School of Control Science and Engineering, Dalian University of Technology, Dalian 116024, China; 2. Institute for Network Sciences and Cyberspace, Tsinghua University, Beijing 100084, China; 3. School of Innovation and Entrepreneurship, Dalian University of Technology, Dalian 116024, China; 4. College of Information Science and Engineering, Northeastern University, Shenyang 110819, China)

Abstract: Direct Digital Frequency Synthesis (DDS) technology offers several advantages, including high frequency resolution, rapid conversion speed, and phase continuity. Consequently, it is a widely utilized technology in a number of fields, including wireless communication, satellite navigation, and electronic reconnaissance. The article employs DDS technology and development tools, specifically ModelSim SE and Quartus II 13.0, in conjunction with the hardware description language Verilog HDL, to complete the design, simulation, and online logic debugging and analysis of the signal generator. The system is capable of achieving the following: (1) Generation of sine, triangle, and square waves; (2) Adjustment of frequency, amplitude, and duty cycle via key input; (3) Visualization of output signal via oscilloscope. The output frequency range is 1 Hz to 1 MHz, the output peak-to-peak amplitude is continuously adjustable in the range of 0 to 6.4 V, and the duty cycle is continuously adjustable from 0 to 100%, as verified by simulation and measurement. The implementation of the system provides an illustrative example for students to learn FPGA courses.

Key words: field programmable gate array (FPGA); signal generator; verilog hardware description language (Verilog HDL); experimental teaching case

信号发生器是高校实验教学的常用仪器之一, 被用来产生如正弦波、三角波、方波等波形, 该仪器还可用于调校声、光、电学设备。一台高质量的信号发生器价格昂贵, 教会学生自己动手制作一个属于自己的信号发生器更能激发出

学生浓厚的学习兴趣。

作为高校实验教学案例设计题目之一, 完成信号发生器设计可以训练学生学习并掌握现场可编程逻辑门阵列(FPGA)编程技巧, 锻炼学生在 FPGA 方面的设计能力。同时, 高速数模转换芯片

收稿日期: 2024-10-28

基金项目: 教育部基本科研业务项目(DUT24BK004); 教育部本科教学质量工程项目(ZL2023040, ZL2022118, ZL2021235)。

作者简介: 程春雨, 硕士, 教授级高工, 主要从事嵌入式系统设计方面的研究。E-mail: chengchy@dlut.edu.cn

* 通信作者: 吴振宇, 博士, 教授, 主要从事智能控制机器人, 嵌入式系统, 机器学习等方面的研究。E-mail: zhenyuwu@dlut.edu.cn

的应用以及外接示波器观测输出波形等应用也可以帮助学生提高实践能力, 训练学生运用科学的实验方法拓宽研究视野。

为了给学生提供一个较为灵活且易于实现的信号发生器实验教学系统设计方案^[1], 我们对现有信号发生器进行了研究, 将功能逐项分解, 设计出可由 FPGA、数模转换模块实现的信号发生器实现方案。学生所设计的信号发生器的输出波形借用现成的示波器观测; 老师可以通过示波器观测到的波形参数来评价学生所设计完成的信号发生器的性能。

设计任务书规定所设计的信号发生器应能输出正弦波、三角波、方波, 并通过开关和按键调节信号的频率、幅度和占空比等; 所产生的数字波形经数模转换器(DAC)输出给示波器。

参考设计指标如下^[2]:

- 1) 波形种类: 正弦波、三角波、方波;
- 2) 频率范围: 1 Hz~1 MHz;
- 3) 幅度范围: 0 V~6.4 V;
- 4) 占空比: 0%~100%。

1 系统总体设计方案

信号发生器设计主要由 FPGA、DAC、低通滤波器及 I/O 器件组成^[3-4], 可通过按键设置待生成信号的种类、频率、幅度和占空比; 通过 FPGA 控制数码管显示参数; 计算得到的波形幅度序列经数模转换器和低通滤波器处理成平滑的模拟波形输出^[5]。

2 FPGA 关键模块设计

FPGA 内部包含相位累加器、正弦波、三角波、方波发生器以及三选一数据选择器等模块, 通过按键调节占空比、频率控制字, 还可以将参数输出到数码管显示。相位累加器的作用是以频率控制字为参数, 输出与所设定频率对应的相位序列。相位序列作为参数与占空比一起输出给方波、三角波、正弦波发生器并生成相应的幅度序列, 三种波形的幅度序列经过三选一数据选择器选出需要输出的波形幅度序列和频率信息给模数转换器完成变换输出。

2.1 相位累加器

相位累加器由加法器与寄存器级联构成^[6-7], 加法器将寄存器当前所存储的相位值 P_i 与频率控

制字 K 相加。每经历一个时钟周期 T_c , 寄存器的相位值便会更新为 P_{i+1} , 即:

$$P_{i+1} = P_i + K \quad (1)$$

在输入时钟频率 f_c 的控制下, 寄存器会不断地按步进量 K 进行累加, 而寄存器的数据宽度为 N 位, 当寄存器的值大于 2^N 时, 其高位就会发生溢出, 相当于做了一次以 2^N 为模的余数运算。每做 $2^N/K$ 次加法, 寄存器溢出一次, 意味着相位值增加 360° , 也就是输出的波形经历了一个完整的周期, 所以, 累加器的溢出周期即是输出信号的周期。

输出信号的频率 f_0 可由下式给定:

$$f_0 = \frac{K}{2^N} f_c \quad (2)$$

因此, 可以通过改变频率控制字 K 来改变相位累加器的步进量, 从而改变生成信号的频率。

2.2 正弦波发生器

对于正弦波, 通常有查表法(LUT)和 CORDIC 算法两种实现方式。查表法相对简单, 学生易于掌握, 但当需要提高精度时, 查表法则需要占用较多存储单元。而 CORDIC 算法则是在查表法基础上发展而来, 它兼顾了精度和资源占用情况。此算法仅需一个最小的查找表, 具体实现过程只需运用简单的移位和加法运算, 无需乘法器便可生成高精度的正余弦函数, 在 FPGA 上实现具有显著优势, 学生可根据实际情况选择不同的算法来实现正弦函数计算。

2.2.1 查表法

使用查表法生成正弦函数的核心思想是预先计算并存储一个周期内正弦函数的离散样本值, 然后按照一定的顺序读取这些存储的值来重建正弦函数。由于正弦函数的周期性, 只需要存储一个周期内足够多的点就可以重复使用这些数据来生成连续的正弦波。正弦波的离散形式可表示为:

$$x(I) = A \sin(2\pi f I + \varphi) \quad (3)$$

其中, A 为幅度值, f 为输出信号的频率, φ 为初始相位, I 为采样间隔。

在实际应用中, 首先需要确定采样点数 N , 采样间隔 $\Delta I = 1/N$, 则第 n 个采样点对应的 I 值为 $I_n = n\Delta I (n=0, 1, 2, \dots, N-1)$ 。

只读存储器(ROM)的地址线宽度 k 由采样点数 N 决定, 需要满足 $2^k > N$ 这一条件, 以保证数据

量不会超出 ROM 的存储范围。

每个采样点的正弦值:

$$x(n) = \sin(2\pi f I_n + \varphi) \quad (4)$$

将计算得到的 N 个正弦值依次存入 ROM 中, 地址从 0 到 $N-1$ 。在时钟脉冲的控制下, 通过相位累加器的输出对 ROM 寻址。前面介绍过, 相位累加器的输出值 P 在每个时钟周期递增, 递增量由频率控制字 K 确定, P 的范围与 ROM 的地址范围相对应。当 P 作为 ROM 的地址输入时, ROM 输出对应地址存储的正弦波幅度值数据, 这些数据经过数/模转换和低通滤波输出, 便可得到所需要的正弦波信号。

2.2.2 CORDIC 算法

CORDIC 算法是一种用于计算运算函数的循环迭代算法^[8-10]。该方法从算法本身入手, 将复杂的算法分解成用硬件容易实现的基本算法, 如加法和移位等, 从而使得算法可以用硬件快速实现。

设矢量与 x 轴的初始夹角为 α , 模长为 r , 则此矢量的坐标即可表示为 $(X_i, Y_i) = (r \cos \alpha, r \sin \alpha)$ 。将其旋转 θ 角得到新矢量 $(X_j, Y_j) = (r \cos(\alpha + \theta), r \sin(\alpha + \theta))$, 如图 1 所示。

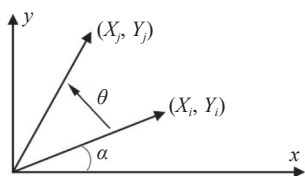


图 1 CORDIC 算法旋转示意图

则旋转后的矢量可表示为:

$$\begin{cases} X_j = \\ r \cos(\alpha + \theta) = r(\cos \alpha \cos \theta - \sin \alpha \sin \theta) = X_i \cos \theta - Y_i \sin \theta \\ Y_j = \\ r \sin(\alpha + \theta) = r(\sin \alpha \cos \theta + \cos \alpha \sin \theta) = X_i \sin \theta + Y_i \cos \theta \end{cases} \quad (5)$$

上述方程组可以表示成如下矩阵形式, 即把对矢量的旋转操作表示成了矩阵乘法:

$$\begin{bmatrix} X_j \\ Y_j \end{bmatrix} = \begin{bmatrix} \cos \theta & -\sin \theta \\ \sin \theta & \cos \theta \end{bmatrix} \begin{bmatrix} X_i \\ Y_i \end{bmatrix} = \cos \theta \begin{bmatrix} 1 & -\tan \theta \\ \tan \theta & 1 \end{bmatrix} \begin{bmatrix} X_i \\ Y_i \end{bmatrix} \quad (6)$$

将 $\cos \theta$ 提出来, 乘法的次数由 4 次减为 3 次, 加快了计算速度。进一步, 我们可以将矢量的旋转角度 θ 分解成无穷多个微小的子角度 θ_n ($n=0, 1, 2, \dots$), 即:

$$\theta = \sum_{n=0}^{\infty} \theta_n s_n \quad (7)$$

其中 $s_n = \{-1, +1\}$, 当 $s_n = 1$ 时, 表示顺时针旋转; 当 $s_n = -1$ 时, 表示逆时针旋转。

由于硬件中数值的二进制特性, 如果把每次旋转的子角度 θ_n 加以限制, 使得 $\cos \theta_n = \pm 2^{-n}$, 则可以将运算中的乘法操作变为移位操作, 那么式 (6) 可以变形为:

$$\begin{bmatrix} X_j \\ Y_j \end{bmatrix} = K \begin{bmatrix} 1 & -s_n 2^{-n} \\ s_n 2^{-n} & 1 \end{bmatrix} \cdots \begin{bmatrix} 1 & -s_0 2^{-0} \\ s_0 2^{-0} & 1 \end{bmatrix} \begin{bmatrix} X_i \\ Y_i \end{bmatrix} \quad (8)$$

其中 $K = \prod_{n=0}^{\infty} \cos \theta_n = \prod_{n=0}^{\infty} \frac{1}{\sqrt{1+2^{-2n}}} \approx 0.607253$

为了确定每一步旋转中 s_n 的取值, 这里引入一个新的变量 z_n , 代表目标角度与已旋转角度的差值:

$$z_n = \theta - \sum_{i=0}^{n-1} \theta_i \quad (9)$$

得

$$s_n = \begin{cases} -1, z_n < 0 \\ +1, z_n \geq 0 \end{cases} \quad (10)$$

由式 (6) 可知, 当迭代次数逐渐增大时, $Q=1/K$ 就会不断逼近 1.647。因此, 可以在迭代的过程中暂时忽略 K , 等到迭代结束后再乘以 Q 来抵消 K 的影响, 这样每一次微小的旋转操作可以表示为:

$$\begin{bmatrix} X_{n+1} \\ Y_{n+1} \end{bmatrix} = \begin{bmatrix} 1 & -s_n 2^{-n} \\ s_n 2^{-n} & 1 \end{bmatrix} \begin{bmatrix} X_n \\ Y_n \end{bmatrix} \quad (11)$$

将式 (9) 和式 (11) 结合, 即可得到下面三个迭代方程:

$$\begin{cases} X_{n+1} = X_n - s_n 2^{-n} Y_n \\ Y_{n+1} = Y_n + s_n 2^{-n} X_n \\ z_{n+1} = z_n - s_n \cdot \arctan 2^{-n} \end{cases} \quad (12)$$

易推得最终旋转结果为:

$$\begin{cases} X_n = K(X_0 \cos z_0 - Y_0 \sin z_0) \\ Y_n = K(Y_0 \cos z_0 + X_0 \sin z_0) \\ z_n = 0 \end{cases} \quad (13)$$

将一组特殊的初始值代入:

$$\begin{cases} X_0 = K \\ Y_0 = 0 \\ z_0 = \theta \end{cases} \quad (14)$$

可得:

$$\begin{cases} X_n = \cos \theta \\ Y_n = \sin \theta \\ z_n = \theta \end{cases} \quad (15)$$

即给定适当的初值, 通过本算法可以计算出单一频率的正弦函数。

需要注意的是由式(7)可知, CORDIC 算法的极限旋转角度限定在 $-\pi/2 < \theta < \pi/2$, 在实际操作时, 需要对不在该范围内的相位进行象限转换。

2.2.3 CORDIC 算法的 FPGA 实现

FPGA 中的 CORIDC 旋转算法有两种实现方式, 即迭代方式^[11]与流水线方式^[12-14]。迭代方法较为灵活, 便于通过改变迭代次数来调整计算精度, 硬件资源消耗少, 但缺点是计算速度慢, 不利于产生高频信号。流水线方式能够在处理上一级数据的同时接收下一层数据输入, 有效提高数据吞吐率, 从而提高计算速度; 缺点是硬件资源消耗大, 与数据位宽和迭代次数均成正比。总之, 这两种方式各有优缺点, 本实例采用了混合方法, 局部设计采用迭代方式, 总体设计采用流水线方式。

2.3 三角波发生器

三角波是一种线性变化的波形, 其在一个周期内, 幅度先从最小值线性上升至最大值, 再从最大值线性下降至最小值, 如此周期性变化。在基于 FPGA 的实现中, 利用相位累加器输出的相位信息来控制三角波幅度的线性变化过程, 通过对相位值与幅度值之间建立对应关系生成三角波。

如前所述, 设相位累加器输出的相位值为 P , P 的范围为 $[0, 2^N - 1]$, 其中 N 为相位累加器的数据宽度, 令三角波的幅度值为 A_{tri} , 三角波的最大值幅度值设为 A_{max} , 则有以下对应关系:

当 $P < 2^N - 1$ 时(对应三角波前半周期上升阶段):

$$A_{tri} = \frac{A_{max}}{2^n - 1} \times P \quad (16)$$

当 $P \geq 2^N - 1$ 时(对应三角波后半周期下降阶段):

$$A_{tri} = A_{max} - \frac{A_{max}}{2^n - 1} \times (P - 2^{n-1}) \quad (17)$$

首先在 FPGA 的内部定义一个计数器, 其计数时钟与系统时钟同步。计数器从 0 开始计数,

每经过一个时钟周期加 1, 当计数器累加至 $2^N - 1$ 后, 在下一个时钟周期到来时又重新回到“0”开始计数, 如此循环, 模拟三角波一个周期内的相位变化。

要改变三角波的频率, 可以通过改变计数器的计数速度来实现。改变频率控制字 K , 这样就相当于拉长或缩短了一个周期内的计数时间, 从而改变三角波的频率。

2.4 方波发生器

方波是一种在一个周期内只有高电平和低电平两种状态的波形, 其占空比可调。通过将相位累加器输出的相位值与设定的占空比对应的阈值进行比较来决定输出高电平还是低电平, 从而生成方波。

设相位累加器输出的相位值为 P , P 的范围为 $[0, 2^N - 1]$, 设定的占空比为 D (取值范围是 0 到 1, 以小数形式表示, 如 0.5 表示占空比为 50%), 则判断逻辑如下:

当 $P < D \times 2^N$ 时, 输出高电平;

当 $P \geq D \times 2^N$ 时, 输出低电平。

在 FPGA 中实例化一个比较器逻辑模块, 将相位累加器输出的相位值 P 作为比较器的一个输入, 同时根据设定的占空比 D 计算出对应的阈值, 将该阈值作为比较器的另一个输入, 比较器根据这两个输入进行比较, 输出比较结果, 也就是方波的电平值。

对于方波频率的调节, 与调节三角波发生器的频率类似, 可以通过改变相位累加器的频率控制字 K 来改变相位值变化的速度, 使得方波在单位时间内周期数发生变化, 从而实现频率调节。

3 外围硬件电路设计

系统硬件电路设计框图如图 2 所示。按键和开关作为 I/O 输入, 可以实现复位、模式选择、倍频以及频率、占空比、幅度的保持与调节等; 7 段数码管用以显示当前的模式、频率、幅度等信息; LED 用来观察数码管进位信息。

通过按键将占空比和频率信息输入给 FPGA, 经 FPGA 处理后输出 14 位待转换的波形信息的数字量给 DAC, 经 DAC 变换后送至低通滤波器处理, 处理后的波形送至示波器显示观测。

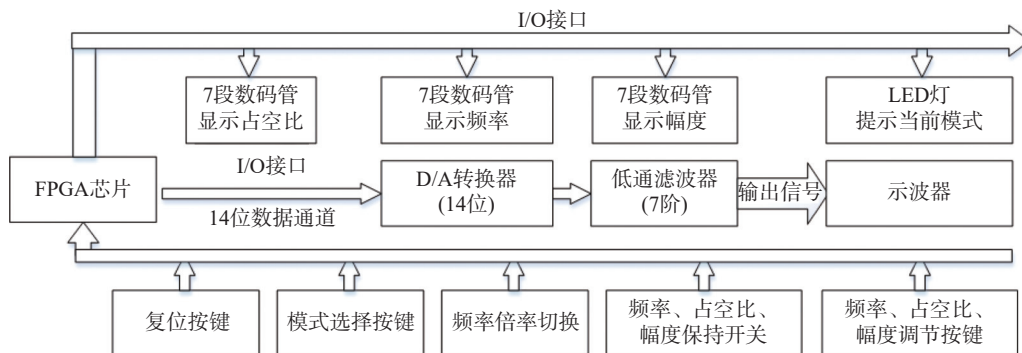


图2 系统硬件电路设计框图

3.1 数模转换器

数模转换器(DAC)允许学生采用集成芯片,如AD9764,AD9764具有14位输出宽度,最高支持125 MSPS的更新速率。由于AD9764采用差分信号输出,需要在其输出端接运算放大器,将双端输出信号转换成单端输出信号给滤波器。

3.2 低通滤波器

DAC的输出电压是阶梯状的,其频谱中含有大量的高频分量,为了保持波形的连续性,需要在DAC的输出端加上一个滤波器来平滑输出波形。本设计以7阶椭圆低通滤波器^[15]为例。由于DAC最高的转换频率为125 MSPS,设置滤波器

的截止频率为120 MHz、输入输出阻抗为50欧姆。经滤波器处理后的信号还需要经电压放大。电压放大电路输出幅度范围在0~6.4 V可调,这里不再赘述。

4 仿真及实测

设计要求在软件环境Quartus II和ModelSim下调试完成;硬件环境需要125 MSPS高速DAC、DE2 Development and Education Board开发板和示波器。

图3是用FPGA实现信号发生器设计的RTL(Register-Transfer Level)图。

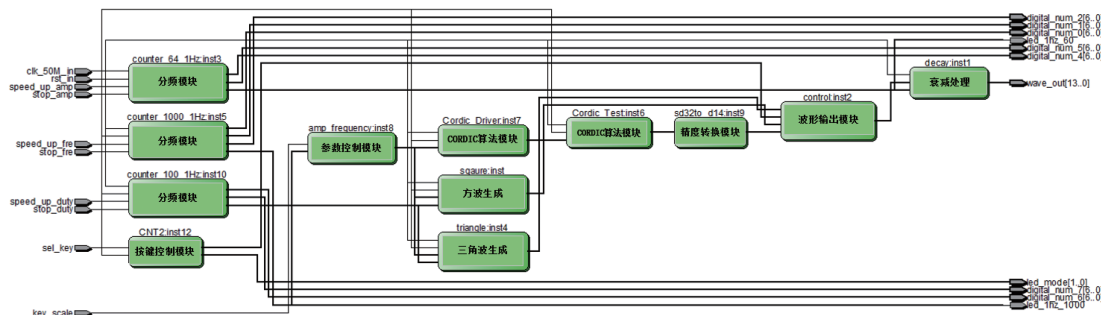


图3 用FPGA实现信号发生器设计的RTL图

4.1 ModelSim 仿真实验

利用已经建立好的软件系统,仿真信号发生器的变频、变占空比、幅度调节及波形切换等功能^[16]来验证设计,为实际测试做准备。

4.1.1 信号变频仿真测试

设置仿真时间为0~1 ms,频率从10 kHz开始,每隔0.1 ms增加1 kHz。当占空比为25%时,得到的三角波和方波仿真波形如图4所示。

当占空比为50%时,得到的三角波和方波仿真波形如图5所示。

当输出模式为正弦波时,得到的仿真波形如图6所示。



图4 占空比为25%时的三角波、方波变频仿真波形图

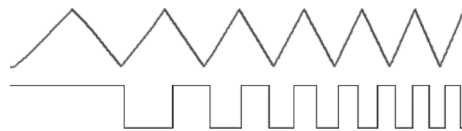


图5 占空比为50%时的三角波、方波变频仿真波形图



图6 正弦波变频仿真波形图

4.1.2 信号变占空比仿真测试

频率为 100 kHz，占空比从 0% 增大至 100%，每隔 0.001 ms 增加 1%，得到的仿真波形如图 7 所示。

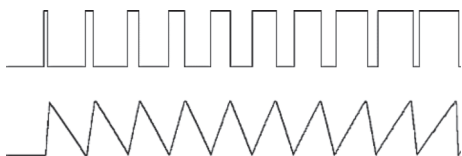


图 7 变占空比方波、三角波仿真波形图

4.1.3 信号变幅度仿真测试

频率为 100 kHz，幅度从 0% 增大至 100%，每隔 0.001 ms 增加 1%，得到的仿真波形如图 8 所示。



图 8 方波、三角波变幅仿真波形图

4.1.4 波形切换仿真测试

方波、三角波、正弦波切换输出得到的仿真波形如图 9 所示。

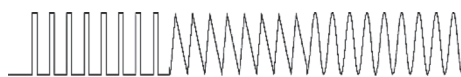


图 9 方波、三角波、正弦波输出模式切换仿真波形图

由上述仿真实验可知，学生所设计信号发生器完成了变频、变占空比、变幅度和波形切换等功能。

4.2 实际测试

学生在仿真实验的基础上，还做了上板实际测试，进行频率和占空比调节，用示波器观测。

4.2.1 变频测试实验

将占空比固定为 50%，当频率为 1 kHz 和 100 kHz 时，用示波器测得的三角波、方波、正弦波输出波形如图 10 所示。示波器测量的参数列举在表 1 中，由表 1 可知，波形输出频率与设定频率基本一致、误差在 2‰ 以内，且输出波形无明显失真。

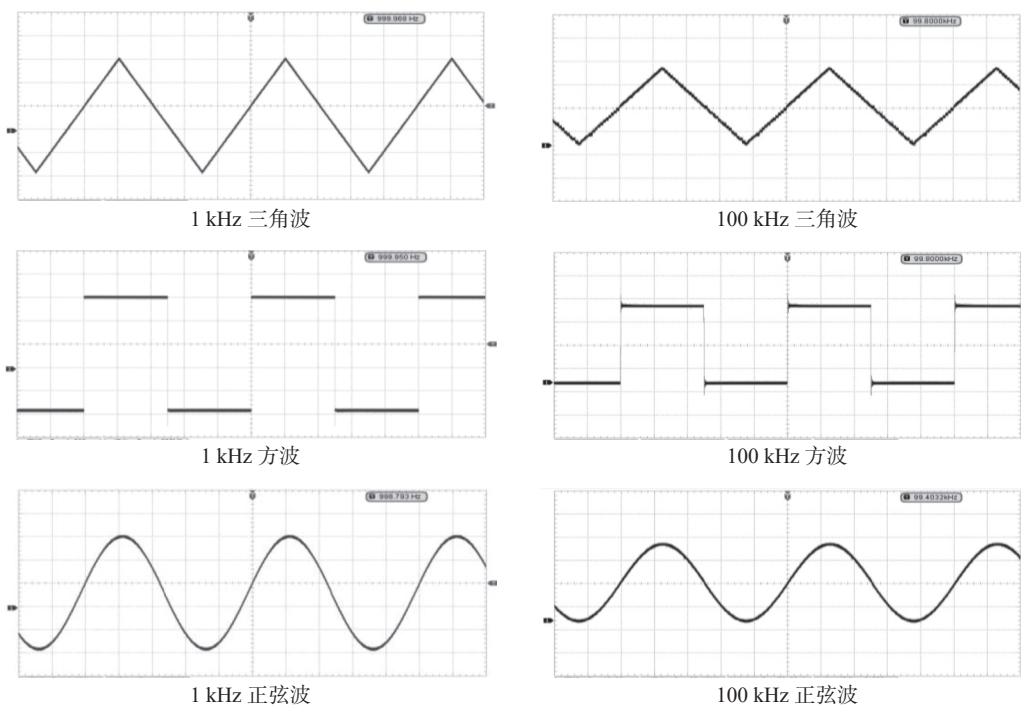


图 10 变频测试结果波形图

表 1 变频测试结果数据

波形类型	设定频率	实际频率	频率相对误差
三角波	1 kHz/100 kHz	999.968 Hz/99.8 kHz	0.03‰/2.00‰
方波	1 kHz/100 kHz	999.950 Hz/99.8 kHz	0.05‰/2.00‰
正弦波	1 kHz/100 kHz	998.973 Hz/99.8 kHz	0.10‰/2.00‰

4.2.2 变占空比测试实验

验收实验时, 可以要求学生测量占空比分别为 25%、50%、75% 时的三角波和方波输出波形。这里只给出占空比为 25% 时测得的三角波和

方波等输出波形, 如图 11 所示。

示波器的测量参数列举在表 2 中。由表 2 可知, 系统能够实现三角波和方波的占空比调节, 误差在 1% 以内。

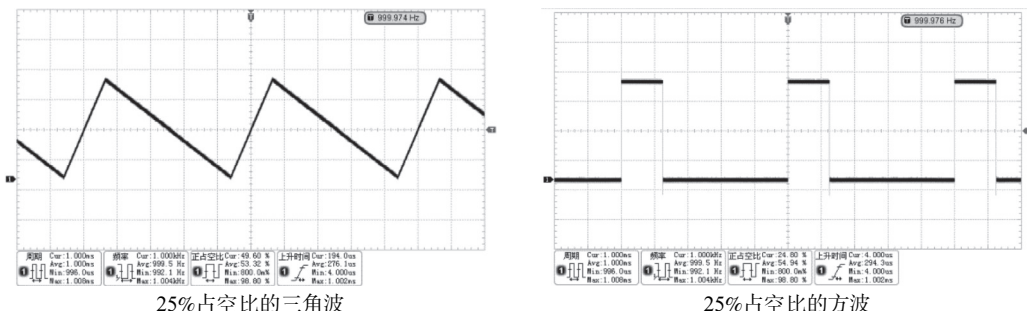


图 11 变占空比测试结果波形图

表 2 变占空比测试结果数据

波形类型	设定占空比	实际占空比	占空比相对误差
三角波	25%	24.8%	0.8%
方波	25%	24.8%	0.8%

4.3 问题分析

4.3.1 方波特性分析

当方波频率调高至 500 kHz 时, 其输出波形会在突变处有较大抖动, 如图 12 所示。这是因为

方波信号的频谱成分本应是无穷多, 经过低通滤波器处理后会加剧其高频成分的衰减, 便出现了较为明显的吉布斯现象。若要改进, 可以通过增大滤波器的阶数, 或调整滤波器的类型来解决。注意, 尽管调整滤波器能够减少突变处的震荡时间, 但震荡尖峰处的幅度值并不能减小。也就是说, 当频谱成分趋于无穷时, 该尖峰幅度值趋于一个常数, 大约等于总跳变值的 9%^[16]。

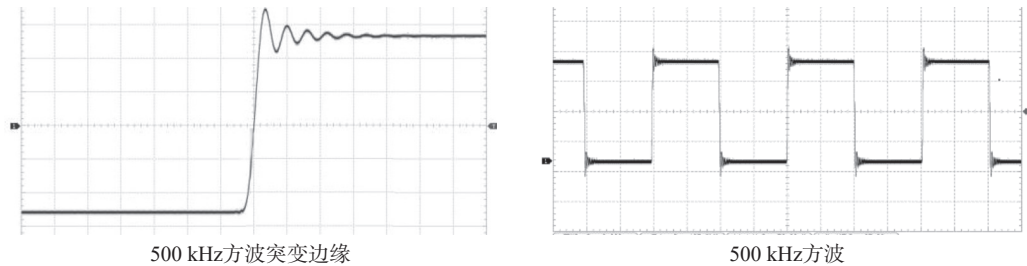


图 12 方波边缘过冲现象示意图

4.3.2 三角波、正弦波特性分析

当三角波和正弦波的频率调高至 500 kHz 时, 相位累加器的步进量较大, 导致一个周期内的输出点数较少, 使三角波上下沿斜率的计算会有较大误差、正弦波的 CORDIC 流水线输出值不稳

定, 如图 13 所示。关于提高波形质量的方法, 应从原理上考虑解决方法, 鼓励学生改善波形的生成算法; 也可以降低滤波器的阶数, 以得到更为平滑的模拟信号输出。

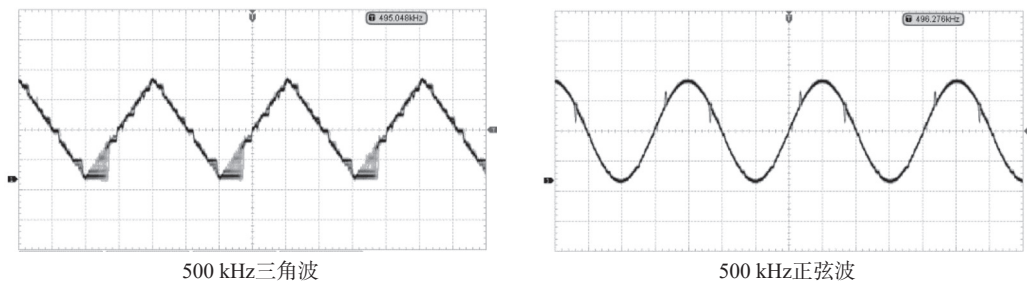


图 13 正弦波、三角波 500 kHz 时的波形图

总的来说,波形的生成算法和滤波器的参数对最终输出波形的质量能起到至关重要的影响,对于不同种类的波形,有与之相对应的调整方法,需要学生勤于思考,通过不断地探索进行优化。

5 结语

本文利用开发工具 ModelSim SE 和 Quartus II 13.0,并结合硬件描述语言 Verilog HDL,在 DE2 开发板上完成了信号发生器的设计、仿真、综合及在线逻辑调试与分析。所设计信号发生器能生成正弦波、三角波、方波;输出频率范围为 1 Hz~1 MHz,信号峰峰值在 0~6.4 V,占空比为 0%~100% 可调,达到了预期的设计指标。在高频段的波形失真及过冲问题可以作为扩展内容留待完成较好的学生解决。为增加设计难度,在此基础上还可以增加频率、占空比、幅度的步进精度,或要求合成谐波,输出更多种类波形等,以形成层次化递进要求的设计项目,满足不同实践能力学生的个性化学习需求。

本设计项目具有开放式特点,在实践过程中学生可以分工合作,训练并提升学生分析问题、解决问题的能力。作为高校 FPGA 课程用实验教学案例,其教学应用具有一定可以借鉴的参考价值。

参考文献

- [1] 赵权科,王开宇. 数字电路实验与课程设计[M]. 北京: 电子工业出版社, 2019.
- [2] 龚向东,刘春平,黄虹宾. 任意波形发生器的一种快速设计与实现[J]. *实验技术与管理*, 2010, 27(10): 66-68,79.
- [3] 贺军义,蒋坚,李男男. 基于 FPGA 的 DDS 信号发生器设计[J]. *计算机测量与控制*, 2017, 25(2): 231-237.
- [4] 黄浩然,文丰,贾兴中. FPGA 的高精度 DDS 信号发生器设计[J]. *单片机与嵌入式系统应用*, 2022, 22(12): 75-79.
- [5] 邓耀华,吴黎明,张力锴,等. 基于 FPGA 的双 DDS 任意波发生器设计与杂散噪声抑制方法[J]. *仪器仪表学报*, 2009, 30(11): 2255-2261.
- [6] 任少娜,李跃进. 直接数字频率合成器的研究及其 FPGA 实现[D]. 西安: 西安电子科技大学, 2010.
- [7] 闵令辉,曹晓东,程凯,等. 基于正弦数据压缩算法的 DDS 研究及 FPGA 实现[J]. *计算机测量与控制*, 2023, 31(2): 269-276,283.
- [8] 聂伟,饶金玲. 基于改进型 CORDIC 算法和 FPGA 的 DDS 实现[J]. *电子技术应用*, 2013, 39(12): 45-48.
- [9] 汤文亮. 基于 CORDIC 算法的高速高精度 DDS 研究与实现[J]. *制造业自动化*, 2011, 33(5): 104-105.
- [10] 郑辛星,余红英,杨杰. 基于 FPGA 的 CORDIC 算法研究[J]. *芜湖职业技术学院学报*, 2013, 15(3): 36-39.
- [11] 牛晨晓,赵忠,聂聪. 一种 CORDIC 算法的 FPGA 实现[J]. *计算机技术与发展*, 2011, 21(6): 16-19.
- [12] 毛晶晶,邹德岳. 基于 CORDIC 算法的 DDS 实现[J]. *无线电工程*, 2011, 41(12): 8-11.
- [13] 张存生,张德学,韩学森,等. 基于 CORDIC 算法的参数可调信号源设计[J]. *微型机与应用*, 2017, 36(04): 59-62.
- [14] 崔永俊,王晋伟,贾磊,等. 基于 FPGA 的 DDS 信号发生器的设计与实现[J]. *电子器件*, 2016, 39(02): 339-343.
- [15] 王涛,刘洋,左月明. 7 阶椭圆型低通滤波器的设计及仿真[J]. *机电工程技术*, 2013, 42(11): 17-30.
- [16] 李克勤,姜翠香. 吉布斯现象的 MATLAB 实现[J]. *三峡大学学报(自然科学版)*, 2006, 28(3): 269-270.

编辑 何婧